

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-015932
 (43) Date of publication of application : 21.01.1992

(51) Int. Cl. H01L 21/66
 G01R 31/26

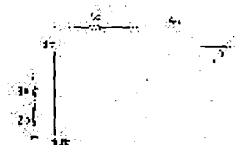
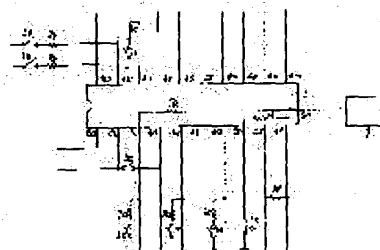
(21) Application number : 02-120760 (71) Applicant : MITSUBISHI ELECTRIC CORP
 (22) Date of filing : 09.05.1990 (72) Inventor : YAMAMOTO TAKASHI

(54) APPARATUS FOR MANUFACTURING SEMICONDUCTOR

(57) Abstract:

PURPOSE: To make it possible to manage and calibrate the peripheral circuit of an IC to be measured (DUT) simply, by checking the operations of relays and the resistance values of resistors through substituting an evaluation circuit for the DUT, in the evaluation of the peripheral circuit of the DUT.

CONSTITUTION: When checking the operation of a relay 2b in connection with the terminal of a number 4c, a terminal 6a is connected with a DC circuit by using a resistor 5a in an evaluation circuit 5. Setting the relay 2b OFF beforehand, when applying a certain known voltage E1 to the terminal 6a using an instrumentation circuit unit (DC circuit), the current I1 measured by the DC circuit is zero. Inversely, in the case of setting the relay 2b ON beforehand, in the same way, the current I1 is represented by the following. $E1/(R5a+R3a+r2b)$, where R5a is the resistance value of the resistor 5a, R3a is the same of the resistor 3a, and r2b is the contact resistance value of the relay 2b in the state of setting it ON. Thereby, the decision range of the current value I1 is determined by considering the permissible values of the respective resistance values and the measurement error of the DC circuit, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-15932

⑤ Int.Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)1月21日

H 01 L 21/66
G 01 R 31/26

F 7013-4M
Z 8203-2G

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 半導体製造装置

② 特 願 平2-120760

② 出 願 平2(1990)5月9日

⑦ 発 明 者 山 本 隆 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑦ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑦ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体製造装置

2. 特許請求の範囲

半導体製造装置において、半導体集積回路テストを半導体集積回路を測定する為の測定条件を満足させる測定周辺回路と半導体集積回路検査装置と組み合わせて所定のテストテストを行い、上記測定周辺回路が正常に動作して正しいテストが行なえる状態に有るか否かを判定し、異常があればその箇所を特定する事が出来るようにした半導体集積回路測定周辺回路評価回路を備えた半導体製造装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体製造装置、特に半導体装置の検査工程に関するものである。

(従来の技術)

半導体製造装置における半導体集積回路(以下ICと略称する)のテストには、被測定IC(以

下DUTと略称する)の周辺に抵抗やリレーを配置した周辺回路が用いられている。

第4図は従来のDUT周辺回路図である。第4図において、(1)はDUT、(2a)~(2h)はリードリレー、(3a)~(3g)は抵抗、(G)はGND(接地)を表わし、DUT(1)からの延長線の行き先はテストへ行っている(図中に表示していない)。(4b)~(4w)はDUTの端子番号である。

次に動作について説明する。図中のリードリレー(2a)~(2h)は、その制御をテストからの制御信号によって各々独立に、且つ任意にON/OFF出来る。また、これら制御信号は、テストのテストプログラム(DUTをテストする為にテストのOSソフトのもとで実行されるプログラムで、通常テストユーザーがプログラミングするもの)の中で、テスト中に必要に応じて設定されうる。抵抗(3a)~(3g)は、測定条件等に従って予め必要な値のものを必要なDUT端子の傍に配置されている。

例えば、DUT端子(4c)において、或る測定の条件として抵抗(3a)を介してGNDにつなぎたい

場合、テストプログラムでの命令に従って、リレー(2b)がONしてDUT端子(4c)が抵抗(3a)を介してGNDとつながる。

以下、図中に示す各リレー、抵抗も同様の使われ方をする。また、これらリレー、抵抗は各々複数でもって用いられて測定に供与する場合もある。
〔発明が解決しようとする課題〕

従来のDUT周辺回路は以上の様に構成されているので、回路に組み込まれたリレーや抵抗が、正しい動作、正しい値を維持しているか等の管理・校正が非常に困難であって、周辺回路に異常が発生した場合、DUTを正しく測定することが出来ずに、良品のDUTを不良と判定したり、逆に、不良のDUTを良品と判定してしまう等、品質管理の面でも問題があった。

この発明は上記の様な問題点を解消する為になされたもので、DUT周辺回路の管理・校正が簡単に出来る様にしたDUT周辺回路評価回路を備えた半導体製造装置を得る事を目的とする。

〔課題を解決するための手段〕

ードリレー、(3a)～(3g)はDUT周辺回路内の(4a)～(4w)はDUTの端子番号で評価回路(5)の端子番号である。また、第2図、第3図は共に第1図の部分拡大図であり、ここで(7)はテストの計測回路ユニット(以下DC回路)を表わす。第2図はリレー(2b)がOFFの時を、第3図は同リレーがONしている時のチェックをする様子を表わしたものである。

次に動作について説明する。第1図において、例えば端子番号(4c)につながっているリレー(2b)の動作をチェックする場合について述べる。評価回路(5)のうち、抵抗(5a)を用いて、端子(6a)をDC回路につないだとする。先に、リレー(2b)をOFFである様に設定しておけば、DC回路を用いて或る既知の電圧 E_i を与えるならば、第2図の如き回路においてDC回路で計測される電流 I_i はゼロである。逆に、リレー(2b)をONである様に設定した場合には、同様にして I_i は次で表わされる。

この発明に係る半導体製造装置は、DUT周辺回路評価回路において、DUTの代りに評価回路担当のものを置いて、リレーや抵抗の動作や値をチェック出来る様にしたものである。また、これらのチェックの結果で得られるデータを元に、同回路に不具合が有る場合には、この不具合個所を判別出来る様にしたものである。

〔作用〕

この発明における半導体製造装置は、DUT周辺回路をチェックするとき、評価回路によって回路の動作状態がチェックされ、その結果によって不具合個所を判別する。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例によるDUT周辺回路図である。第1図において、(5)はDUT(1)の代りにおかれた評価回路、(5a)、(5b)はこの評価回路の中にある抵抗であり、値は既知であってきちんと校正・管理されている。(6a)は評価回路(5)用の端子、(2a)～(2h)はDUT周辺回路内のリ

$$I_i = \frac{E_i}{R_{5a} + R_{5b} + r_{2b}}$$

ここで R_{5a} は抵抗(5a)の抵抗値、 R_{5b} は同(3a)の値、 r_{2b} はリレー(2b)のON状態時接触抵抗値とする。これより各抵抗値の許容値やDC回路の測定誤差等を考慮して電流値 I_i の判定範囲を決めればよい。その様子を示すのが第3図である。

もちろん、これらのリレー(2b)のON/OFFやDC回路による電圧印加電流測定は、DUTを測定しているテストを用いてよく、必要な命令のチェックプログラムを実行させる事によって、測定結果も容易に得られる。また、このテスト本体については、別に用意してあるテスト自己診断プログラム等のユーティリティによって予めチェックされうるので、第2図、第3図の様な方法によってリレー(2b)の動作の良/不良が容易に、且つ正確に判る。

次に、第1図に示す抵抗(5b)を用いる事によって上記とほぼ同様の手順に従えば、リレー(2e)についてもそのチェックが行なえる事は明らかであ

る。

なお、上記実施例では、DUT周辺回路中のリレー(2b)、(2e)をチェックする例を示したが、第1図における評価回路の様子を追加、変更する事によって、その他のリレー或いは抵抗値をチェックする事が出来る。

〔発明の効果〕

以上の様に、この発明によれば、DUT周辺回路のチェックを、評価回路を用いて簡便に行なえる様にしたので、ICの検査においてこれら周辺回路の異常や経時変化による不具合等を管理する事が出来て、検査における異常を未然に防ぐ事が出来る様になり、検査装置全体の品質向上にもつながる。また、もちろん、これら周辺回路の設計製作の段階における初期のデバグ(虫出し)にも使えるので、周辺回路の精度・性能の向上も期待出来る。合わせて、検査工程におけるQC管理や異常発生時のフィードバックが容易に行なえ、また、これらの作業が特定のテストエンジニアによってではなく、任意のテスト作業員にも出来る

などの効果もある。

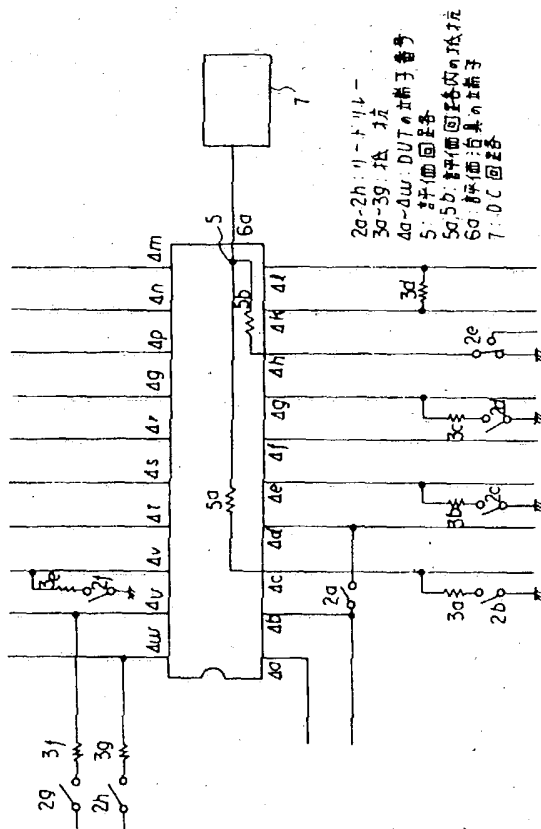
4. 図面の簡単な説明

第1図はこの発明の一実施例によるDUT周辺回路図、第2図及び第3図は評価回路の部分拡大図、第4図は従来のDUT周辺回路図である。図において、(U)はDUT、(2a)~(2h)はリードリレー、(3a)~(3g)は抵抗、(4a)~(4w)はDUTの端子番号、(5)は評価回路、(5a)、(5b)は評価回路内の抵抗、(6a)は評価回路の端子、(7)はDC回路である。

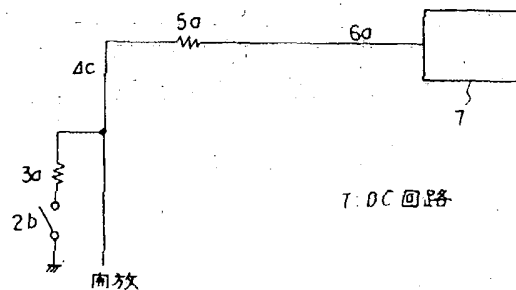
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

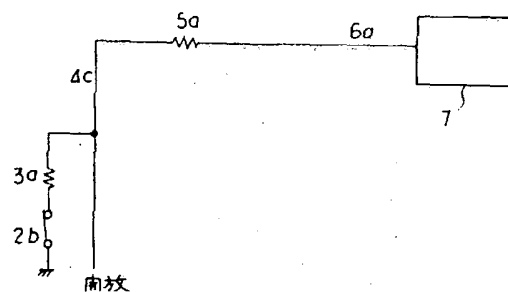
第1図



第2図



第3図



特許庁長官殿

1. 事件の表示 特願平2-120760号

2. 発明の名称 半導体製造装置

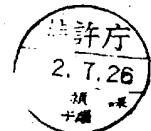
3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

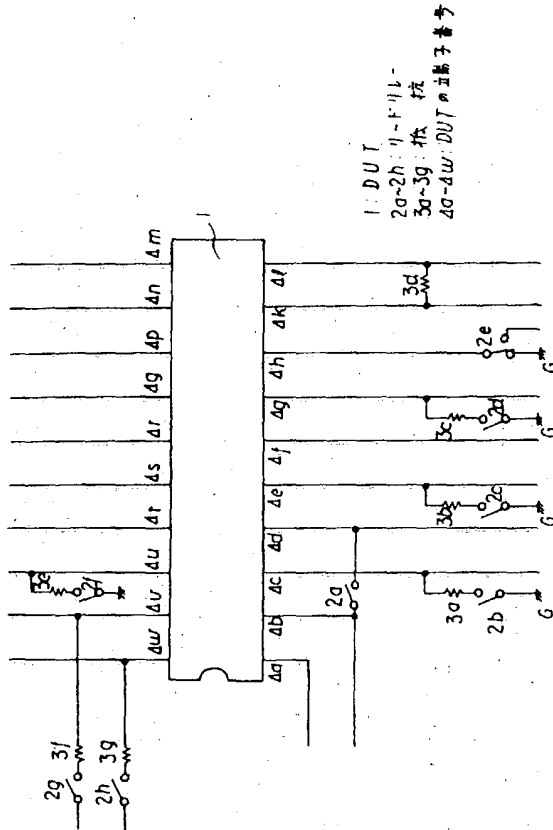
4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375) 弁理士 大岩増雄
(連絡先03(213)3421特許部)

方式
審査



第4図



5. 補正の対象

明細書の特許請求の範囲の欄、発明の詳細な説明の欄、及び図面。

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり訂正する。

(2) 明細書第4頁第3行の「担当のものを置いて、」を「相当のものを置いて、」と訂正する。

(3) 明細書第5頁第1行の「DUT周辺回路内の」を「DUT周辺回路内の抵抗」と訂正する。

(4) 図面中第1図を別紙のとおり訂正する。

(5) 図面中第4図を別紙のとおり訂正する。

7. 添付書類の目録

(1) 訂正後の特許請求の範囲を記載した書面

1通

(2) 訂正図面(第1図、第4図)

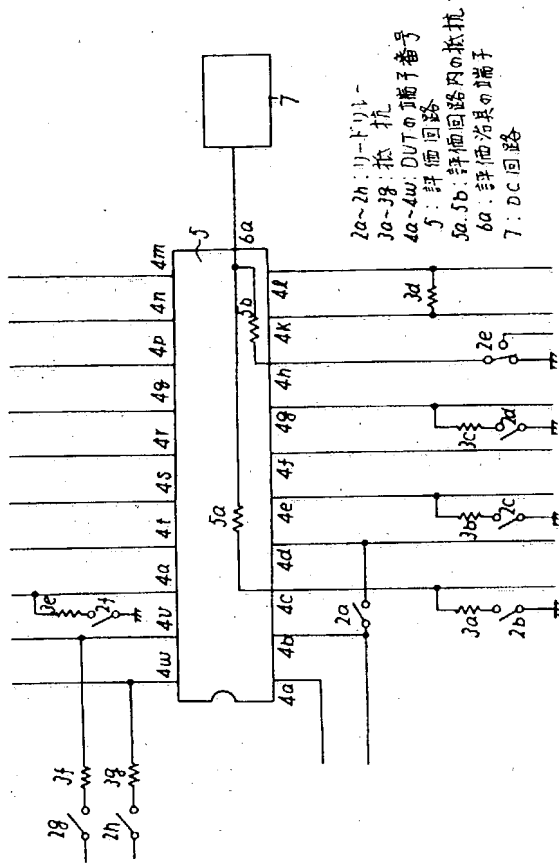
1通

以上

特許請求の範囲

半導体製造装置において、半導体集積回路テストを半導体集積回路を測定する為の測定条件を満足させる測定周辺回路と半導体集積回路検査装置と組み合わせて所定のテストを行い、上記測定周辺回路が正常に動作していて正しいテストが行なえる状態に有るか否かを判定し、異常が有ればその個所を特定する事が出来るようにした半導体集積回路測定周辺回路評価回路を備えた半導体製造装置。

第1図



第4図

